

PAT-NO: JP359023613A
DOCUMENT-IDENTIFIER: JP 59023613 A
TITLE: PIEZOELECTRIC RESONATOR
PUBN-DATE: February 7, 1984

INVENTOR- INFORMATION:

NAME
SUEYOSHI, MASAAKI
YAMAGAMI, ATSUSHI
IEGI, EIJI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MURATA MFG CO LTD	N/A

APPL-NO: JP57133348

APPL-DATE: July 29, 1982

INT-CL (IPC): H03H009/17, H03H009/24

US-CL-CURRENT: 310/324, 333/194

ABSTRACT:

PURPOSE: To reduce breakdowns of diaphragms and to lead out lead lines easily by providing a dielectric thin film over a substrate where a piezoelectric thin film and electrodes are formed and then performing an anisotropic etching treatment.

CONSTITUTION: The lower electrode 23, piezoelectric thin film 24, and the upper electrode 25 are formed successively on one surface 20a of the substrate including a silicon wafer 20. Then, the dielectric thin film 26 which is not corroded by an anisotropic etchant is formed covering the piezoelectric thin film 24 and electrodes 23 and 25. Then, the other surface of the

waffer 20 is treated by anisotropic etching to form a recessed part 27, i.e. diaphragm. Then, openings 28 and 29 which pierce the electrodes 23 and 25 are formed in the dielectric thin film 26. Thus, aftertreatments following the diaphragm formation are reduced to reduce the breakdown of the diaphragm. Further, the openings 28 and 19 make it easy to lead out lead wires.

COPYRIGHT: (C)1984, JPO&Japio

圧電効果によりその薄膜5を振動させることにより、圧電性薄膜5とシリコンウエハー1のダイアフラム10との複合体を振動させ、その複合体の厚み振動を利用して100MHz以上の高周波数領域で有利に動作させ得るものである。

上述した圧電共振子は、シリコンウエハー1に異方性エッティング処理を施してS10のダイアフラム10を作成したのち、下部電極4、圧電性薄膜5および上部電極6を形成するようしている。しかし、そのダイアフラム10は厚みが数μmで機械的強度が弱いものであるから、ダイアフラム10作成後の、超音波洗浄の工程、上、下部電極や圧電性薄膜形成の工程において、量産的に処理するとダイアフラム10が破損する率が高いという事実が見い出された。しかも、後工程だけでなく、異方性エッティング処理を施す段階にもダイアフラム10が破損し、シリコンウエハー1が使用不能になる率も高く、全体としての破損する率は非常に高いものである。また、上記した構造では、工程を逆転させて、圧電性薄膜5を形成したのち

ダイアフラム10を作成しようとした場合、異方性エッティング処理時に圧電性薄膜5や電極4、6が、ピロカテロール、エチレンジアミンおよび水からなる異方性エッティング液におかされ圧電機能を失ななくなる。

第2図のものは、シリコンウエハー1の一方面上にS10の膜8を形成し、他方面に異方性エッティング処理を施してS10、膜8まで達する凹部9を形成することによりS10のダイアフラム8を作成したのち、第1図のものと同様に下部電極4、圧電性薄膜5および上部電極6を順次形成するようにしたものである。この圧電共振子もS10のダイアフラム8が破損しやすいという欠点がある。

第3図は、既に本件出願人が提案したもので、一方面上から所定深さだけポロン等をドープした(記号11で示す)シリコンウエハー10の一方面にS10、膜12を形成し、他方面を異方性エッティング処理してドープ層まで凹部13を形成することにより、S1とS10の二層構造からなるダ

イアフラム14を作成したのち、第1図のものと同様に下部電極4、圧電性薄膜5および上部電極6を順次形成するようにしたものである。この圧電共振子^{の製造方法}もまたS1とS10のダイアフラム14が破損しやすいという欠点がある。

そこで本発明は、異方性エッティング処理の工程と圧電性薄膜形成の工程とを逆転させて、圧電性薄膜の形成後に異方性エッティング処理でき得る構造とし、同時に圧電性薄膜の保護機能をもたせて後工程での取扱いを楽にし、なおかつリード引出しも容易にできるようにすることを目的とする。

以下、本発明の実施例を図面を参照しつつ詳述する。

第3図において、一方面20aから所定量ポロンをドープした(ドープ層を21で示す)シリコンウエハー20の一方面20a上に、S10、膜22が熱酸化処理、スパッタリング、蒸着、イオンプレーティング、CVDなどの方法で形成されている。このS10、膜22上にAl、Cu、Ag、Auなどの金属を蒸着して下部電極23が形成され、

この電極23を含むS10、膜22上に、スパッタリング、イオンプレーティング、CVDなどの方法によりZnO、AlN、CdSなどの圧電性薄膜24が形成され、さらに、下部電極23と一部を対向させて圧電性薄膜24上からS10、膜22上にかけてAl、Cu、Ag、Auなどからなる上部電極25が蒸着により形成されている。誘電体膜26は異方性エッティング液におかされない、Al₂O₃、Si₃N₄、S10で構成され、ZnO膜24および上、下部電極23、25を覆うように、スパッタリング、イオンプレーティング、CVDにより形成されている。シリコンウエハー20の他方面20bに、ピロカテロール、エチレンジアミン、水からなるエッティング液にて異方性エッティング処理を施してドープ層21までの凹部27が形成されている。誘電体薄膜26に上、下部電極23、25に貫通する開口28、29が形成されている。

本実施例によれば、圧電性薄膜24および上、下部電極23、25が誘電体薄膜26により覆われているので、圧電性薄膜24の形成後に、異方

性エッティング処理による凹部27の形成が可能となる。したがつて、シリコンウエハー20、810、膜22、ZnO膜24、上、下部電極23、25からなる多層構造の状態で異方性エッティング処理を施すことができ、しかもドープ層21に810、膜22が接着され、この810、膜22に圧電性薄膜24などが接着され、かつその接着がスパッタリングなどで強固になされているので、異方性エッティング処理時にドープ層21や810、膜22のダイアフラムの部分が破損する率が非常に少なくなる。また、ダイアフラムがドープ層21、810、膜22、圧電性薄膜24の多層構造で構成され、かつ異方性エッティング処理した後の工程数が少なくてなるので、後工程における破損の確率が大巾に小さくなり、収率が向上する。また、圧電性薄膜24が誘電体薄膜26にて覆われているので、圧電性薄膜24の保護がはかれ、経時変化が少なくてなる。さらに、コンタクトホールとなる開口28、29を通してリード接続が簡単に行える。

上記実施例では基板としてドープ層を作成しか

つ810、膜を形成したシリコンウエハーを示しているが、本発明によれば、ドープ層を作成しただけのシリコンウエハー、あるいは810、膜を形成したシリコンウエハーを用いてもよく、要は少なくともシリコンウエハーを含む基板であればよい。さらに本発明では、特にシリコンウエハーにドープ層を作成した場合には、そのドープ層を下部電極として動作させ、A&E蒸着などによる下部電極を省略することができる。

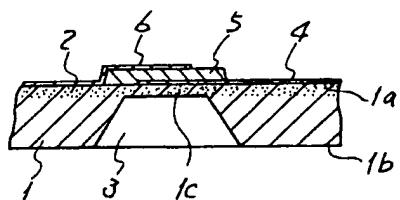
4. 図面の簡単な説明

第1図、第2図および第3図は従来の圧電共振子の断面図、第4図は本発明に基づく圧電共振子の断面図である。

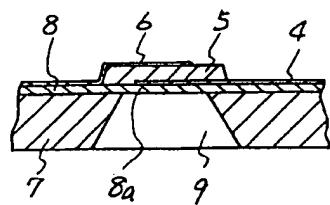
20はシリコンウエハー、24は圧電性薄膜、23、25は電極、26は誘電体薄膜、27は凹部、28、29は開口である。

特許出願人
株式会社 村田製作所

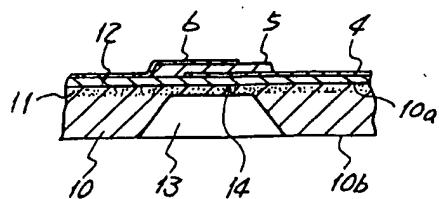
第1図



第2図



第3図



第4図

